

BAR-ILAN UNIVERSITY (RA)
School of Engineering
Ramat-Gan 52900, Israel



אוניברסיטת בר-אילן (ע"ר)
הפקולטה להנדסה
רמת-גן 52900

Tel: 03-5317722
engbi@mail.biu.ac.il

מעגלי ומערכות VLSI דיגיטליים

תשע"ו סמסטר א' מועד ב'

83-612

מרצה: פרופ' שמואל וימר

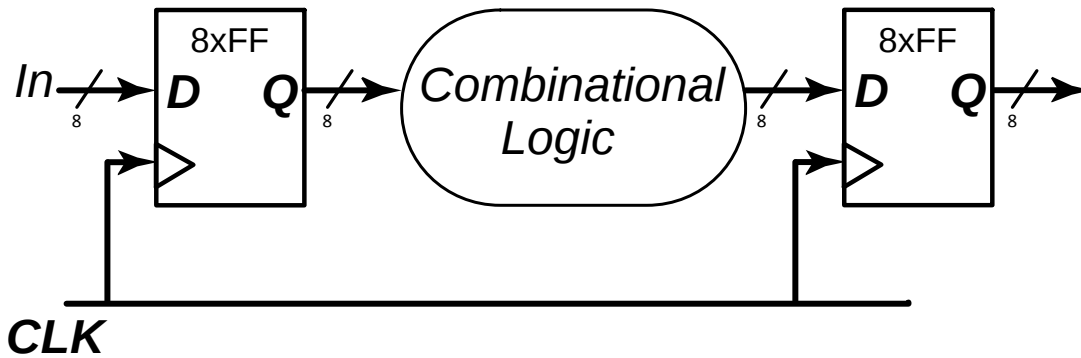
מתרגל: מר בנימין פרנקל

- יש לקרוא היטב את ההוראות.
- חובה לענות על כל השאלות.
- ציון מקסימלי בבחינה: 100 נקודות.
- יש לנמק את כל תשובותיכם.
- אין צורך לפתח מחדש תוצאות שהוכחו בכיתה, אלא אם כן נאמר מפורשות לעשות כן.
- יש לשרטט תרשימים באופן ברור!
- יש להקפיד על כתב יד קריא!
- חומר עזר מותר: כל חומר עזר מודפס מותר בשימוש.
- משך הבחינה: שלוש שעות

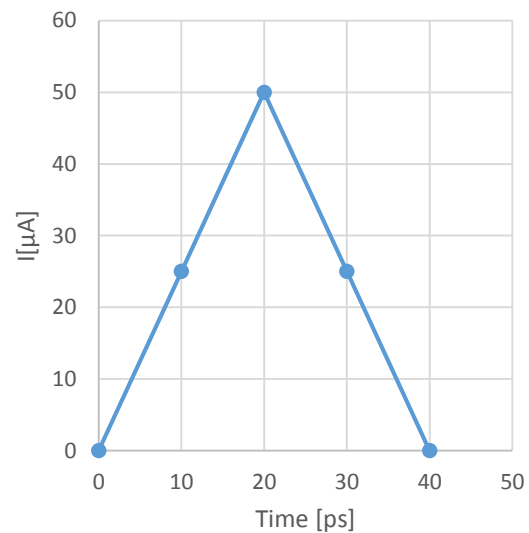
בהצלחה!

שאלה מספר 1 (40 נקודות):

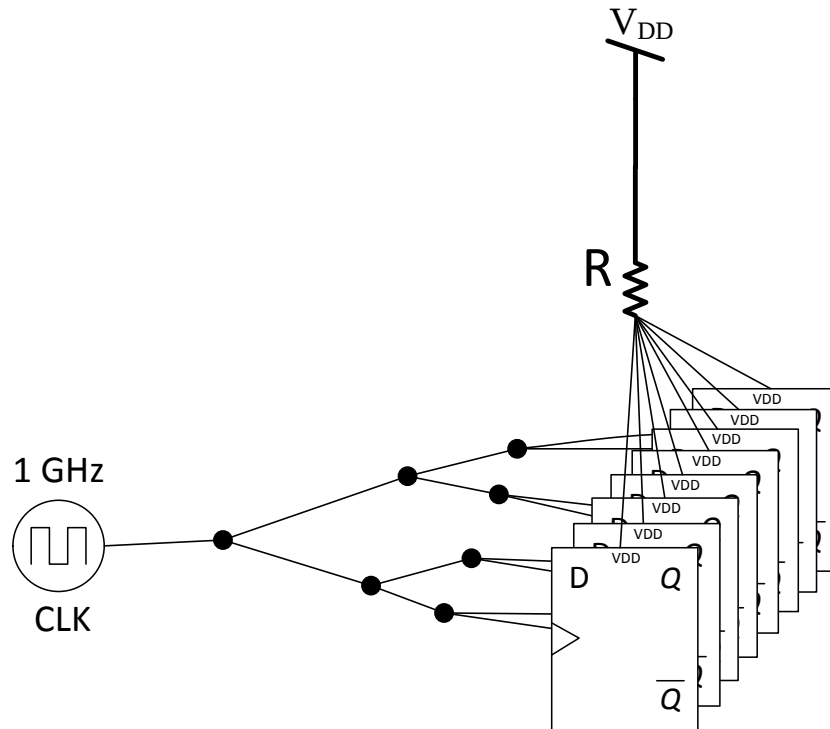
נתון חלק ממעגל סינכרוני, כאשר שמונה דלגלים (8 Flip-Flops) מעבירים מידע אל Block של לוגיקה, ולאחר החישוב המידע נדגם בקבוצה נוספת של 8 Flip-Flops, כמתואר בתרשים הבא:



נתון כי בזמן עליית השעון כל FF בודד צורך זרם מהספק כמתואר בתרשים הבא:



צריכת הזרם של ה-FF's גורמת למתח ההספקה האפקטיבי המגיע אל ה-FF's להיות קטן מה- V_{DD} המקורי, וזאת בשל מפל מתח המתרחש בין הספק לבין נקודת הפיצול של ה-Interconnects אל הצרכנים (ה-FF's), כמתואר בתמונה הבאה:



ניתן להניח כי לכל קבוצת FF's יש ספק מתח משלה, ולכן, מפל המתח משותף רק ל- 8 FF's.

ניתן להזניח את התנגדות המוליכים לאחר נקודת הפיצול של מתח האספקה.

כפי שניתן לראות בתמונה לעיל, השעון מפורז אל הצרכנים בצורה של עץ בינארי (סימטרי).

נתון $V_T = 0.4[V]$, $R = 1[k\Omega]$, $V_{DD} = 1[V]$.

כמו כן, נתון כי תדר השעון הוא $1[GHz]$ (זהו תדר השעון המקסימלי שבו המערכת פועלת באופן תקין).

א. חשב מהו V_{DD_eff} המגיע אל כל FF בזמן עליית השעון. רשום את החישוב באופן מפורש.

• נתון כי ה- FF's יצאו מתפקוד תקין אם מתח האספקה שלהם יהיה נמוך מ- $800[mV]$.

ע"מ לאפשר פעולה תקינה של ה- FF's, הוחלט לשים רכיבי Delay במקומות שונים על רשת

השעון. לרשותך עומדים רכיבי Delay שונים בעלי זמני השהייה שונים, בקפיצות של $10[ps]$:

$10[ps]$, $20[ps]$, $30[ps]$, ...

ב. עליך למקם מספר מינימלי של רכיבי השהייה ע"ג העץ הבינארי כך שה- FF's יפעלו באופן

תקין, תוך פגיעה מינימלית במסלולים הקריטיים של החלק הקומבינטורי. צייר את העץ

הבינארי באופן ברור, ורשום על כל ענף איזה רכיב השהייה יש להוסיף על גביו (בענפים

שבהם החלטת להוסיף Delay).

ג. חשב כיצד השפיע השינוי שביצעת בסעיף ב' על המסלולים הקריטיים (ניתן להניח כי T_{cq}

של כל FF אינו משתנה כתוצאה מהשינויים במתח ההספקה). האם המעגל יוכל לעבוד

בתדר של $980[MHz]$? אם לא, באיזה תדר המעגל כן יוכל לעבוד?

- כעת, הוחלט כי כדאי לקחת שולי ביטחון מחשש לרעשי ספקים, ולכן, יש לתכנן את המעגל כך שמפל המתח על הנגד R לא יעלה על $50[mV]$.
- ד. עליך למקם רכיבי השהייה ע"ג העץ הבינארי כך שיושג מקדם הבטיחות הרצוי. עליך להשתמש במספר מינימלי של רכיבי השהייה, תוך פגיעה מינימלית במסלולים הקריטיים של החלק הקומבינטורי. צייר את העץ הבינארי באופן ברור, ורשום על כל ענף איזה רכיב השהייה יש להוסיף על גביו (בענפים שבהם החלטת להוסיף Delay).
- ה. חשב כיצד השפיע השינוי שביצעת בסעיף ד' על המסלולים הקריטיים. האם המעגל יוכל לעבוד בתדר של $880[MHz]$? אם לא, באיזה תדר המעגל כן יוכל לעבוד?
- ו. הצע דרכים נוספות (חוץ מהדרך של הוספת רכיבי Delay) שבהם ניתן להזיז את זמן הגעת השעון ל- FF's (סעיף בונוס).

שאלה מספר 2 (60 נקודות):

נתון core בעל 100M טרנזיסטורים, כאשר:

- 50M טרנזיסטורים שייכים לחלק של הלוגיקה, ועבורם נתון:

○ רוחב ממוצע של טרנז' הוא: $\lambda = 12$

○ $Activity\ Factor = 0.09$

- 50M טרנזיסטורים שייכים לרכיבי הזיכרון, ועבורם נתון:

○ רוחב ממוצע של טרנז' הוא: $\lambda = 4$

○ $Activity\ Factor = 0.03$

עבור כל טרנז' נתון: $C_{diff} = 0.7 \left[\frac{fF}{\mu m} \right]$, $C_{gate} = 0.9 \left[\frac{fF}{\mu m} \right]$, $V_T = 0.4[V]$

מתח ההספקה של ה-core הוא $V_{DD} = 1[V]$

תדר העבודה שלו הוא $500[MHz]$ (זהו תדר השעון המקסימלי שבו המערכת פועלת באופן תקין).

כמו-כן, נתון: $\lambda = 0.025[\mu m]$

א. חשב את ההספק הדינמי הממוצע הנצרך ע"י ה-core. רשום את המשוואות באופן מפורש.

- רוצים לבנות מעבד עם 4 ליבות (Quad-Core Processor), כאשר המעבד מוגבל להספק של $4[W]$.

מהנדס החליט להשתמש ב-cores מהסוג המתואר לעיל. כדי לעמוד במגבלת ההספק, החליט המהנדס להוריד את תדר העבודה של המעבד.

ב. מהו התדר המקסימלי שבו יוכל לעבוד המעבד כך שיעמוד במגבלות ההספק? רשום את המשוואות באופן מפורש.

- כדי לשפר את ביצועי המעבד, הועלה רעיון להוריד את מתח האספקה של המעבד, במטרה לעמוד במגבלות ההספק.

ג. לאיזה ערך יש להוריד את V_{DD} ע"מ שהמעבד יוכל לעבוד בתדר המקורי ($500[MHz]$) מבלי לחרוג ממגבלות ההספק?

- לאחר שהוריד את ערכו של V_{DD} , גילה המהנדס כי כמה מהמסלולים הקריטיים נפגעו עקב השינוי (setup violation).

נתון שהשפעת מתח האספקה על זמן המעבר של השערים הלוגיים נתון ע"י הנוסחה הבאה:

$$T_{pd} = \frac{\alpha \cdot V_{DD}}{(V_{DD} - V_T)^2}$$

עוד נתון, כי רק 50% מזמן המעבר במסלולים הקריטיים הוא מחמת ה-Delay של השערים הלוגיים. שאר ה-Delay נובע מחמת ה-Interconnects, ואינו מושפע מהשינויים ב- V_{DD} .

ד. חשב מהו השינוי בזמן המעבר במסלולים הקריטיים שנגרם עקב הורדת ערכו של V_{DD} לערך אותו חישבת בסעיף ג'. מהו תדר העבודה המקסימלי שבו יכול לעבוד המעבד עבור המצב החדש שנוצר (שינוי הזמן במסלולים הקריטיים)?

• לאחר בדיקה, המהנדס גילה כי עבור מתח אספקה כפי שנקבע בסעיף ג', ועבור תדר עבודה כפי שנקבע בסעיף ד', המעבד צורך הספק נמוך מההספק המקסימלי האפשרי עבורו. לכן, החליט המהנדס לנסות ולשפר עוד את ביצועיו.

ה. עליך למצוא את נקודת העבודה האופטימלית (V_{DD_opt} , f_{opt}) כך שצריכת ההספק הדינמית של המעבד כולו תהיה בדיוק $4[W]$. רשום את המשוואות באופן מפורש.

ו. השוואה את ביצועי המעבד (הספק, תדר, מתח אספקה) עבור נקודת העבודה האופטימלית שקבעת בסעיף ה' לביצועיו עבור נקודות העבודה העולות מתוך הסעיפים הקודמים (א'+ב', ג'+ד'). מה ניתן להסיק מכך?

תשובות למבחן בקורס מעגלי ומערכות VLSI זיגל"ר תשע"ו סמסטר א' חלף ב'

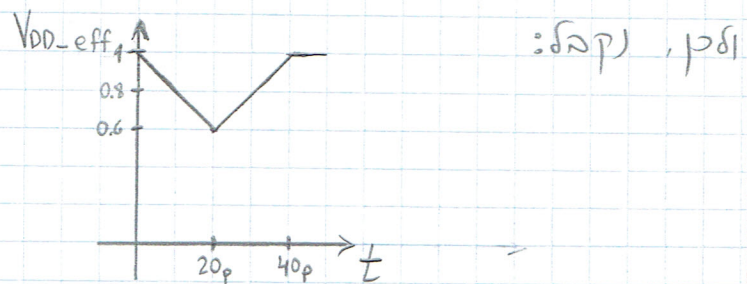
שאלה מספר 1

(א) אם נגדיר את הזרם שבזרק FF כזרם I_{FF} אזי:

$$V_{DD-eff} = V_{DD} - 8 \cdot I_{FF} \cdot R$$

נחשב את ערכו הנמוך ביותר של V_{DD-eff} , המתקבל עבור

זרם מקסימלי: $V_{DD-eff}^{(min)} = V_{DD} - 8 \cdot I_{FF}^{(max)} \cdot R = 1 - 8 \cdot 50 \mu A \cdot 1k = 600mV$

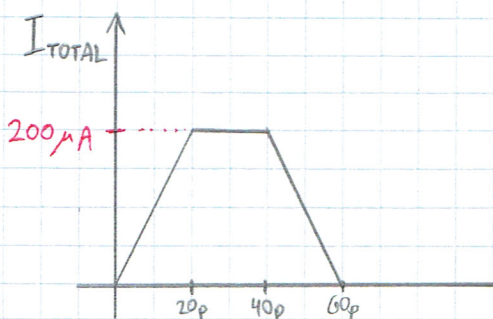
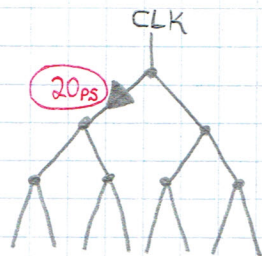


(ב) עלינו לזבוא לכך ש: $V_{DD-eff} \geq 800mV$

$$I_{TOTAL} \leq 200 \mu A$$

ולכן, עלינו לזבוא לכך שיתקיים:

נחשב רכיב השת"ה באופן הבא:



ובכך נקבל את הזרם הכולל הבא:

(ג) הזמן האופטימלי שניתר למסלולים הקריטיים קטן ב- $20ps$, ולכן,

נדרש זמן מחזור המצול ב- $20ps$ מהזמן המקורי, ולכן:

$$T_{old} = \frac{1}{f_g} = 1ns$$

$$T_{new} = T_{old} + 20p = 1.02ns$$

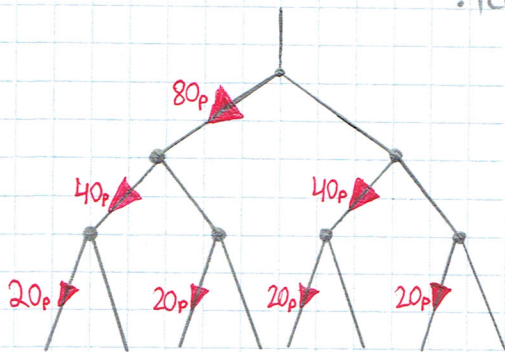
$$f_{\text{new}} = \frac{1}{T_{\text{new}}} = 980.392 \text{ [MHz]}$$

ואכן:

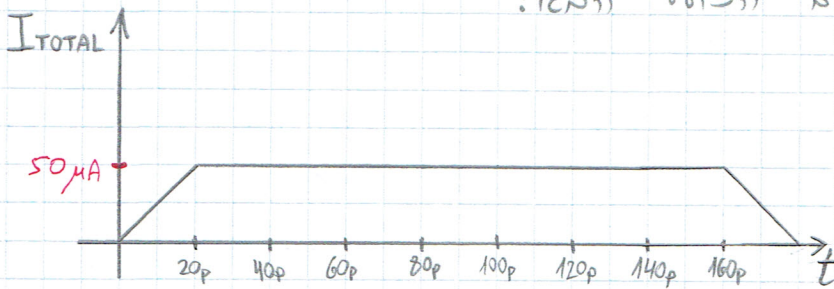
ואכן, המעגל יוכל לעבוד בתדר של 980 [MHz] .

(3) כדי שמספר המתח על הנגד לא יעלה על 50 [mV] ,
עלינו לזכור שכך שיתקיים: $I_{\text{TOTAL}} \leq 50 \text{ [uA]}$

נמקם רכיבי השל"ה באופן הבא:



ואכן נקבע את הזרם הכואל הבא:



(4) הזמן הופקטיבי שניתר למספולים הקריטיים קטן ב- 140 ps , ואכן,
נזרם זמן מחזור העדול ב- 140 ps מהזמן המקורי, ואכן:

$$T_{\text{new}} = T_{\text{old}} + 140 \text{ ps} = 1.14 \text{ ns}$$

$$f_{\text{new}} = \frac{1}{1.14 \text{ ns}} = 877.192 \text{ [MHz]}$$

ואכן, המעגל לא יוכל לעבוד בתדר של 880 [MHz] ,

אלא בתדר מקסימלי של 877.192 [MHz] (או בתדר נמוך יותר).

שאלה מספר 2:

(א) נחשב את הקיבול הכולל של הטרנז' השניים עלוויקה:

$$50M \cdot 12 \cdot 0.025_{\mu} \cdot (0.9 + 0.7)_{f_{\mu}} = 24 [nF]$$

נחשב את הקיבול הכולל של הטרנז' השניים לזכרון:

$$50M \cdot 4 \cdot 0.025_{\mu} \cdot (0.9 + 0.7)_{f_{\mu}} = 8 [nF]$$

$$P_{dyn} = \underbrace{(0.09 \cdot 24n + 0.03 \cdot 8n)}_{\text{Activity Factor}} \cdot \underbrace{1^2}_{V_{DD}^2} \cdot \underbrace{500M}_f = 1.2 [W] \quad \text{ולכן:}$$

(ב) מספר 4 ליקור הכולל 4 [W] מספר אחרון 1 [W] - כ
לכל Core. ולכן:

$$(0.09 \cdot 24n + 0.03 \cdot 8n) \cdot 1^2 \cdot f_{max} = 1 [W]$$

$$\Rightarrow f_{max} = 416.667 [MHz]$$

$$(0.09 \cdot 24n + 0.03 \cdot 8n) \cdot \tilde{V}_{DD}^2 \cdot 500M = 1 [W] \quad (ג)$$

$$\Rightarrow \tilde{V}_{DD} = 0.9128709 [V]$$

(ד) עבור השלדים הוויים מתקיים:

$$t = \frac{\alpha \cdot 1}{(1 - 0.4)^2} = 2.777 \cdot \alpha$$

עבור $V_{DD} = 1$

$$\tilde{t} = \frac{\alpha \cdot \tilde{V}_{DD}}{(\tilde{V}_{DD} - 0.4)^2} = 3.4705 \cdot \alpha$$

עבור $\tilde{V}_{DD}$ מסוים $\tilde{t}$:

תוספת הזמן (היחסית) עבור כל שלד ווי:

$$\frac{\tilde{t} - t}{t} = 0.24938 = 24.938\%$$

מכיוון שק מחצית מסמן המחזור המקורי (בס מהפ"ר)
השארם האזים, הרי שהפלט מתח והספקה תחול רק על
מחצית מסמן המחזור, ולכן:

$$T_{new} = T_{old} \cdot \left[1 + \frac{\tilde{t}-t}{t} \cdot \frac{1}{2} \right] = 2.24938 [ns]$$

$$f_{new} = \frac{1}{T_{new}} = 444.566 [MHz]$$

(ה) נב"ע את התדר האופטמלי החזם כפונק' של התדר הישן,
וכן כפונק' של מתח האספקה האופטמלי החזם:

$$\tilde{T}_{opt} = T_{old} \left(1 + \frac{\tilde{t}-t}{t} \cdot \frac{1}{2} \right) = T_{old} \left(\frac{\tilde{t}+t}{2t} \right)$$

$$\tilde{f}_{opt} = f_{old} \cdot \left(\frac{2t}{\tilde{t}+t} \right) = 500M \cdot \left(\frac{2 \cdot 2.777}{2.777 + \frac{\tilde{V}_{DD}}{(\tilde{V}_{DD}-0.4)^2}} \right)$$

נציב במשוואת ההספק ונצרוש:

$$P_{dyn} = 2.4n \cdot \tilde{V}_{DD-opt}^2 \cdot 500M \cdot \left(\frac{2 \cdot 2.777}{2.777 + \frac{\tilde{V}_{DD-opt}}{(\tilde{V}_{DD-opt}-0.4)^2}} \right) = 1 [W]$$

$$\Rightarrow \tilde{V}_{DD-opt} = 0.9452787917 [V]$$

משוואה בנפלאם אחד (ניתר):

נציב במשוואת התדר ונקבל:

$$\tilde{f}_{opt} = 466.303 [MHz]$$

(1) נסכס את ביצעי המעבד בכל אחת מנק' העבודה:

ה'סל	סלפ"ס +3'	סלפ"ס א"ב'	
466.303	444.566	416.667	f [MHz]
0.94527879	0.9128709292	1	V _{DD} [V]
4	3.55653	4	P [W]

כאשר ניסנו לעמוד באילוצי ההספק רק באמצעות חרבת
 התדר - נאלצנו לרדת לדרג של 416.667 MHz .
 ניתן להשיג ביצועים טובים יותר ל" הורדה של V_{ss} ,
 אולם, כאשר הורדנו את V_{ss} מבלי לשם לב למסלולים
 הקריטיים (סעיף ג'), נאלצנו להוריד את התדר (סעיף ד'),
 ובכך הגענו לנק' עבודה שאינה מנצת את כל
 ההספק העומד לרשותנו.

נק' עבודה אופטימלית התקבלה כאשר הורדנו את ערכו
 של V_{ss} תוך התחשבות במסלולים הקריטיים (סעיף ה').
 בכך ניצלנו את כל ההספק העומד לרשותנו,
 והגענו לביצועים מקסימליים.