

BAR-ILAN UNIVERSITY (RA)
School of Engineering
Ramat-Gan 52900, Israel



אוניברסיטת בר-אילן (ע"ר)
הפקולטה להנדסה
רמת-גן 52900

Tel: 03-5317722
engbi@mail.biu.ac.il

מעגלי ומערכות VLSI דיגיטליים

תשע"ו סמסטר א' מועד מיוחד

83-612

מרצה: פרופ' שמואל וימר

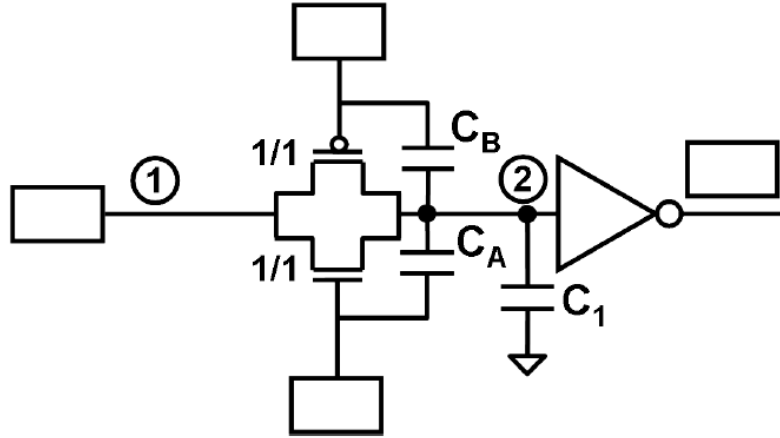
מתרגל: מר בנימין פרנקל

- יש לקרוא היטב את ההוראות.
- חובה לענות על כל השאלות.
- ציון מקסימלי בבחינה: 100 נקודות.
- יש לנמק את כל תשובותיכם.
- אין צורך לפתח מחדש תוצאות שהוכחו בכיתה, אלא אם כן נאמר מפורשות לעשות כן.
- יש לשרטט תרשימים באופן ברור!
- יש להקפיד על כתב יד קריא!
- חומר עזר מותר: כל חומר עזר מודפס מותר בשימוש.
- משך הבחינה: שלוש שעות.

בהצלחה!

שאלה מספר 1 (35 נקודות):

נתון מעגל המממש Latch כמתואר באיור הבא:



א. עליך למלא במשבצות המתאימות את התוויות: $D, CLK, \overline{CLK}, \overline{Q}$, כך שהמעגל יתפקד כ: positive transparent inverting latch.

ב. האם המעגל המתואר באיור לעיל הוא static latch או dynamic latch? הצדק תשובתך!

- הנה כי ה- Latch המתואר לעיל משמש כ- slave stage של edge-triggered flip-flop. נתון כי צמתים 1 ו- 2 נמצאים ב- 1.8V וב- 0V בהתאמה.

נתון כי: $R_p = 300\Omega$ עבור טרנז' PMOS בעל $W/L = 1/1$,

וכן נתון כי: $R_n = 100\Omega$ עבור טרנז' NMOS בעל $W/L = 1/1$.

$C_A = 19[fF], C_B = 23[fF], C_1 = 150[fF]$ עוד נתון:

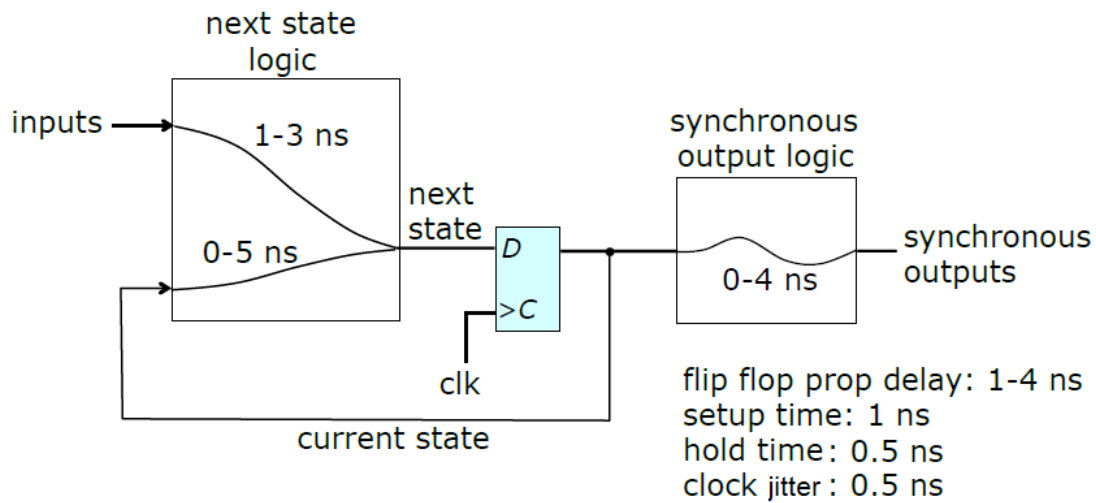
ועבור ה-inverter נתון: $t_{pHL} = 8.9[pSec]$.

ג. חשב את t_{cq} (clock to Q delay) של ה-Latch בעזרת שימוש ב-RC Model עבור הטרנזיסטורים. רשום את החישוב באופן מפורש!

הטרנזיסטורים. רשום את החישוב באופן מפורש!

שאלה מספר 2 (40 נקודות):

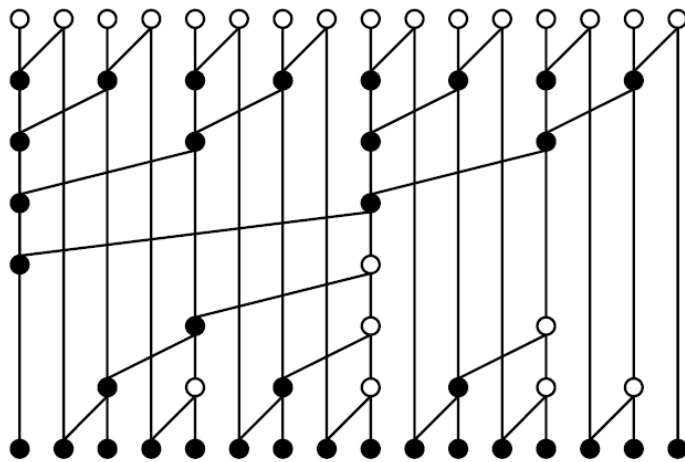
בדיאגרמה הבאה מתוארת מכונת מצבים גנרית. הנח כי מצב המכונה מקודד ע"י 5 סיביות.



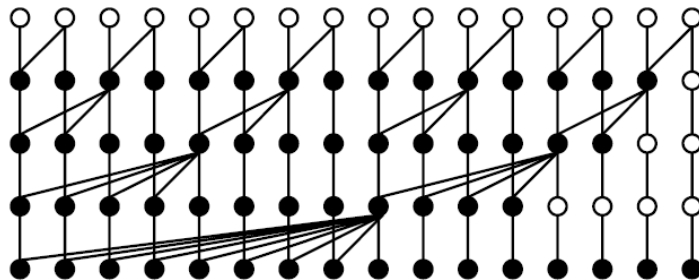
- א. האם המעגל מפר את אילוצי ה- hold time? פרט!
- ב. אם ישנן בעיות hold time, כיצד תוכל לטפל בהן? אם אין בעיות hold time, מהו ה- clock skew המינימלי שעלול לגרום לבעיות כאלו?
- ג. מהו זמן המחזור המינימלי הדרוש להפעלת מעגל זה באופן בטוח (מבלי שבוצעו שינויים לטיפול ב- hold time violations)?
- ד. אם נתון כי השעון עולה מ- '0' ל- '1' בזמן t_0 בדיוק, מהו חלון הזמן (כפונקציה של t_0) שעל הערכים ב- **inputs** להיות יציבים כדי להבטיח פעולה תקינה של המעגל?
- כעת, נניח כי שני עותקים של המעגל המתואר לעיל מחוברים יחד, כך שה- outputs של המעגל הראשון מחוברים ל- inputs של המעגל השני.
- ה. עבור המעגל המשולב החדש, מהו זמן המחזור המינימלי שבו ניתן להפעיל את המעגל באופן בטוח?

שאלה מספר 3 (25 נקודות):

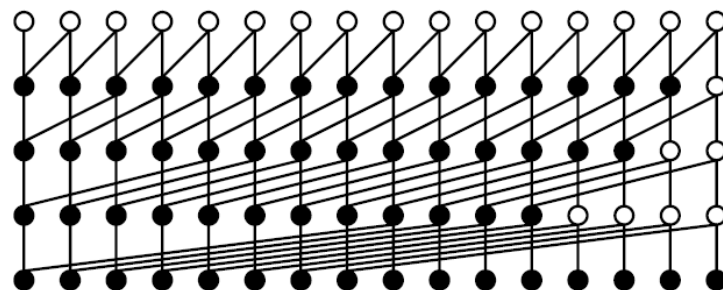
בתרשים שלפניך מתוארות שלוש ארכיטקטורות שונות של Tree Adders שנלמדו בקורס:



Brent-Kung adder



Sklansky adder



Kogge-Stone

א. רשום איזו מן הארכיטקטורות המתוארות לעיל היא בעלת העומק הלוגי הגדול ביותר (logic depth), איזו היא בעלת ה-Fan-Out הגדול ביותר, ואיזו היא בעל החיזוט הגדול ביותר.

ב. מאיזו ארכיטקטורה נצפה שתהיה המהירה ביותר? נמק!

ג. מאיזו ארכיטקטורה נצפה שתהיה החסכונית ביותר מבחינת power? נמק!

ד. נתון 64-bit Adder. לשם מה נחוצה כניסת ה-Carry-In אל ה-Adder? מתי וכיצד משתמשים בה? פרט!