

מבנה מחשבים ספרתיים 83-301
תשע"ו סמסטר ב' מועד א'

מבנה מחשבים ספרתיים			שם הקורס
83-301			מספר הקורס
פרופ' שמואל וימר + מר עמית קזימירסקי			שם המרצה
מועד א'	סמסטר ב'	תשע"ו	
שעתיים וחצי			משך הבחינה
כל חומר אסור בשימוש. יש לצרף את שאלוני הבחינה למחברת.			חומר עזר
יש לענות על כל השאלות. כל תשובה יש לנמק ולהסביר הייטב. כל תשובה מספרית מחייבת את הצגת דרך החישוב. יש לרשום תשובות בתוך הטבלאות המצורפות במקום שנדרש. סה"כ הנקודות האפשריות 110. ציון הבחינה לא יעלה על 100. יש לכתוב בעט בלבד. כתיבה בעפרון לא תיבדק.			

בהצלחה!

שאלה א' (50 נקודות)

נתונה התכנית שלהלן

loop:

```
LW    R4, 0(R3)
ADDI  R5, R4, 0
SLR   R5, R5, 1
SLL   R5, R5, 1
ADDI  R3, R3, 4
SUBI  R1, R1, 1
```

b1:

```
BEQ   R4, R5, b2
ADDI  R2, R2, 1
```

b2:

```
BNEZ  R1, loop
```

הערה:

SLL- Shift Left Logical

SLR- Shift Right Logical

פקודות ה- shift אינן ציקליות

נתונים ערכי ההתחלה הבאים: $R3 = p$, $R2 = 0$, $R1 = n$ מצביע לראש מערך של מספרים שלמים).

א. (5 נקודות) מה בדיוק מבצעת התכנית הנ"ל? מהו ערכו של R2 בעת היציאה מהלולאה?

תשובה: התוכנית מקבלת מערך P וסופרת כמה מבין n האיברים הראשונים בו כמה אי זוגיים. בסיום התוכנית R2 מכיל את כמות האיברים האי זוגיים.

ב. (7 נקודות) נניח שהקלט לתכנית הינו $n = 8$ ו p מצביע על מערך של המספרים הטבעיים. ברשותנו מעבד MIPS בעל היסטורית קפיצות של סיבית אחת (הסיבית מאותחלת ל-0). הניחו ש $b1$ ו $b2$ אינם מתנגשים בטבלת היסטורית הקפיצות.

יש למלא את טבלה א' המצורפת במלואה. העמודה PC שבטבלה מציינת את הפקודה בה נמצא ה PC. העמודות $b1$ ו $b2$ מציינות את מצב הסיבית המתאימה, N מציין NOT TAKEN, ואילו T מציין TAKEN. **מהו מספר חיזויי הקפיצה השגויים?**

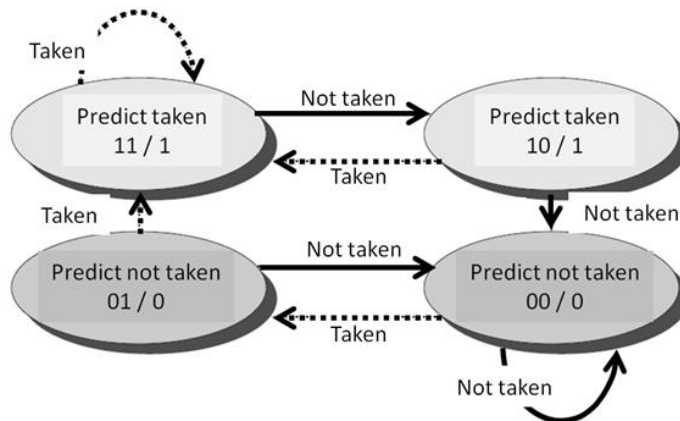
תשובה: (ראו טבלה) מספר החיזויים השגויים : 10

טבלה א'

System state		Predictor		Branch behavior	
PC	R3/R4	b1 bit	b2 bit	Predicted	Actual
b1	4/0	0	0	N	T
b2	4/0	1	0	N	T
b1	8/1	1	1	T	N
b2	8/1	0	1	T	T

b1	12/2	0	1	N	T
b2	12/2	1	1	T	T
b1	16/3	1	1	T	N
b2	16/3	0	1	T	T
b1	20/4	0	1	N	T
b2	20/4	1	1	T	T
b1	24/5	1	1	T	N
b2	24/5	0	1	T	T
b1	28/6	0	1	N	T
b2	28/6	1	1	T	T
b1	32/7	1	1	T	N
b2	32/7	0	1	T	N
b1					
b2					

ג. (12 נקודות) אילנה, בוגרת נמרצת של בר-אילן נתקבלה לעבודה בחברת מעבדים, והציעה להכניס את מנגנון החיזוי הבא:



יש למלא את טבלה ב' המצורפת במלואה. העמודה PC שבטבלה מציינת את הפקודה בה נמצא ה PC. העמודות b1 ו b2 מציינות את מצב מכונות המצבים המתאימות, N מציין NOT TAKEN, ואילו T מציין TAKEN. מצב מכונת המצבים בעת קבלת הניחוש מצויין במודגש, ואילו המצב הבא מצויין באלכסון. מהו מספר חיזויי הקפיצה השגויים? האם, ואם כן בכמה שיפרה אילנה את חיזוי הקפיצות?

תשובה: (ראו טבלה) מספר החיזויים השגויים : 7

טבלה ב'

System state		Predictor		Branch behavior	
PC	R3/R4	b1 bits	b2 bits	Predicted	Actual
b1	4/0	00	00	N	T
b2	4/0	01	00	N	T
b1	8/1	01	01	N	N
b2	8/1	00	01	N	T
b1	12/2	00	11	N	T
b2	12/2	01	11	T	T
b1	16/3	01	11	N	N
b2	16/3	00	11	T	T

b1	20/4	00	11	N	T
b2	20/4	01	11	T	T
b1	24/5	01	11	N	N
b2	24/5	00	11	T	T
b1	28/6	00	11	N	T
b2	28/6	01	11	T	T
b1	32/7	01	11	N	N
b2	32/7	00	11	T	N
b1					
b2					

ד. (15 נקודות) אביבה, עובדת ותיקה בחברה, בוגרת אוניברסיטת תל-אביב, החליטה להוסיף לטבלת חיזוי הקפיצות סיבית של היסטוריה כאשר הסיבית 0 פירושו שלא קרתה קפיצה ו 1 כאשר קרתה קפיצה. יש למלא את טבלה ג' המצורפת במלואה. מהו מספר חיזויי הקפיצה השגויים? האם, ואם כן בכמה שיפרה אביבה את חיזויי הקפיצות?
תשובה: (ראה טבלה) מספר חיזויים שגויים: 6

טבלה ג'

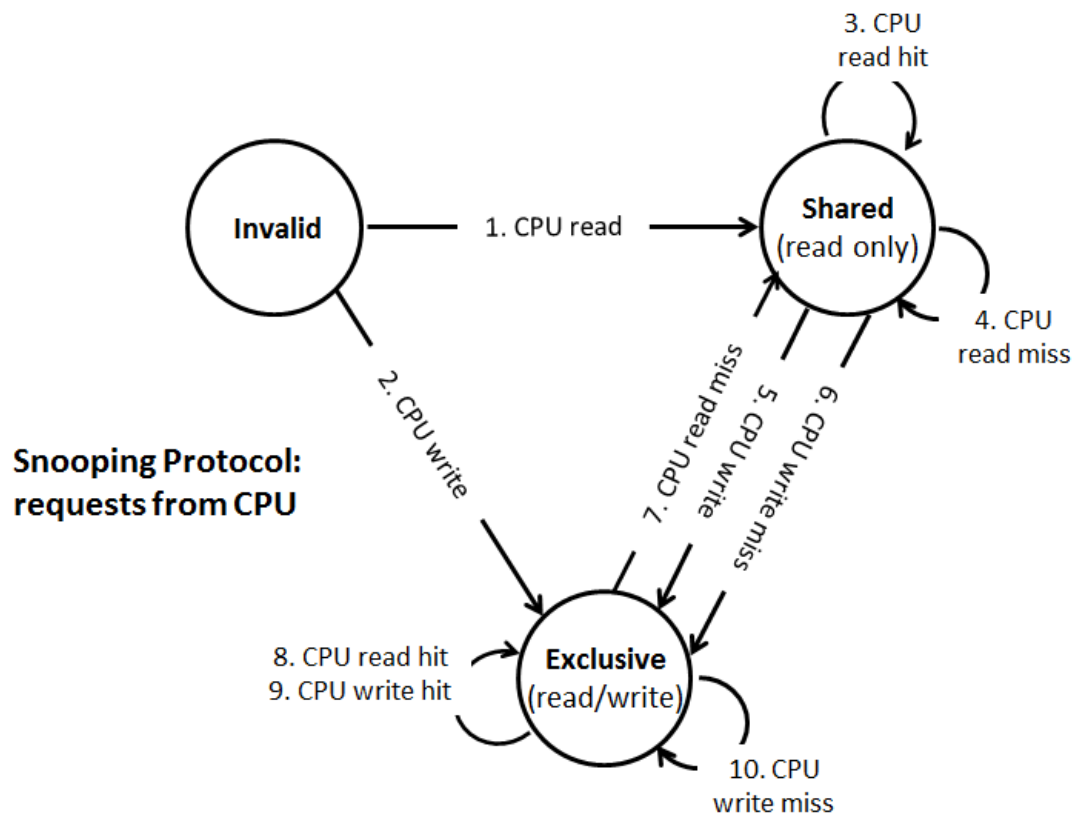
System state			Predictor				Branch behavior	
PC	History bit	R3/R4	b1 bits		b2 bits		Predicted	Actual
b1	0	4/0	00	00	00	00	N	T
b2	0	4/0	01	00	00	00	N	T
b1	1	8/1	01	00	01	00	N	N
b2	1	8/1	01	00	01	00	N	T
b1	0	12/2	01	00	01	01	N	T
b2	1	12/2	11	00	01	01	N	T
b1	1	16/3	11	00	01	11	N	N
b2	1	16/3	11	00	01	11	T	T
b1	0	20/4	11	00	01	11	T	T
b2	1	20/4	11	00	01	11	T	T
b1	1	24/5	11	00	01	11	N	N
b2	1	24/5	11	00	01	11	T	T
b1	0	28/6	11	00	01	11	T	T
b2	1	28/6	11	00	01	11	T	T
b1	1	32/7	11	00	01	11	N	N
b2	1	32/7	11	00	01	11	T	N
b1	1							
b2	0							

- ה. (10 נקודות) השוו בין חיזוי הקפיצות בסעיפים ב' ו ג' ו ד' לעיל.
- באיזה שלב של התכנית (התחלה, אמצע, סוף) קורות מירב השגיאות בחיזוי הקפיצה, ומדוע? (תשובה ללא הסבר ונימוק לא תתקבל)
 - האם הוספת סיבית נוספת של היסטורית קפיצות תשנה את המצב עבור תכנית זאת והנתונים הללו? (תשובה ללא הסבר ונימוק לא תתקבל)

שאלה ב' (60 נקודות)

נתון מעבד בעל ארבע ליבות בארכיטקטורת 32 סיביות ו shared memory. לכל ליבה זכרון מטמון משלה עם bus משותף. פרוטוקול הקוהרנטיות של הזכרונות הינו write ,snooping protocol invalidate. וזכרונות המטמון פועלים בשיטת write back כפי שנלמד בכתה.

1. (13 נקודות) נתונה מכונת מצבים הנענית לבקשות של המעבד. רשום בטבלה שלהלן לכל אחד מהמעברים בכך/לא האם נדרשת פעולה על ה bus. במדה וכן, פרט במקום המתאים בטבלה מהי בדיוק הפעולה הנדרשת. במדה ולא, נמק במקום המתאים בטבלה מדוע.

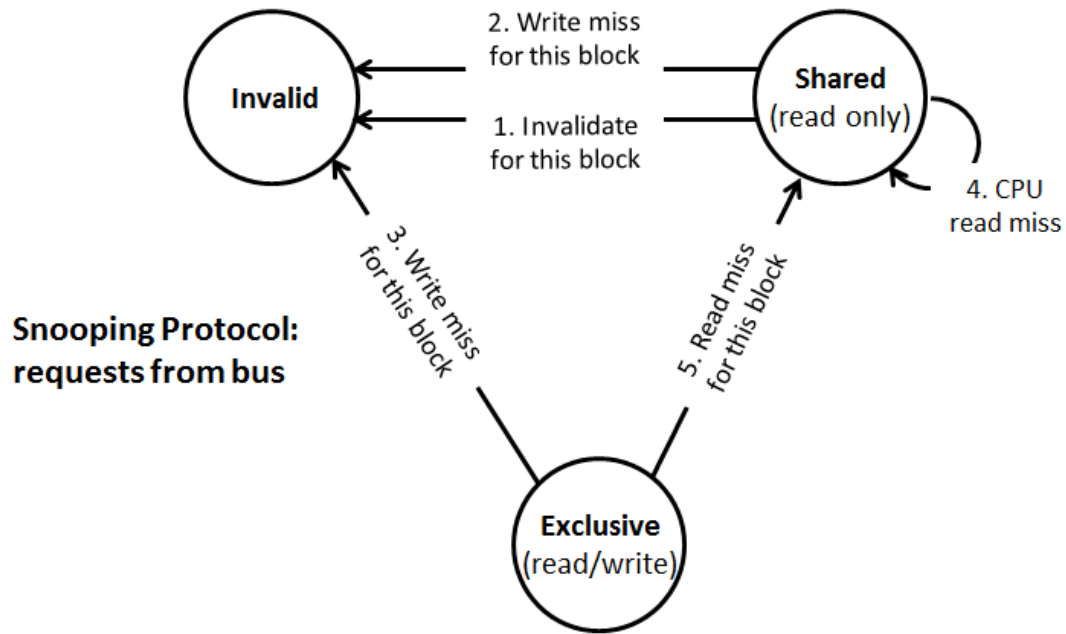


בטבלה השתמשנו במושג cache ו block במשמעות דומה.

	Bus required?	Detailed operation
1	כן	1. במדה זה block נמצא, מאחר והמצב הנוכחי invalid, קריאת נתונים איננה יכולה להיענות מה cache המקומי. 2. יתכן גם והבלוק איננו נמצא. יש להודיע read miss על ה bus. זה גורר פעולת cache רגילה של החלפת הבלוק. 1. הבאתו מה cache שנמצא במצב exclusive, או 2. הבאתו מהזכרון הראשי. בכל מקרה מצבו של ה block משתנה ל shared.
2	כן	1. במדה זה block נמצא, מאחר והמצב הנוכחי invalid, כתיבת נתונים איננה יכולה להיעשות ב cache המקומי. 2. יתכן גם והבלוק איננו נמצא. יש להודיע write miss על ה bus. זה גורר פעולת cache רגילה של החלפת הבלוק. 1. הבאתו מה cache שנמצא במצב exclusive, או 2. הבאתו מהזכרון הראשי. בכל מקרה מצבו של ה block משתנה ל shared.

		משתנה ל exclusive.
3	לא	קרא מהזיכרון המקומי. מצב הזכרון נשאר shared.
4	כן	מאחר ומצב ה block הינו shared, פירוש הדבר שזהו miss רגיל כמו ב uniprocessor. צריך להודיע read miss על ה bus, להביא את הבלוק מהזיכרון הראשי, ולבצע replacement רגיל. מצב ה block עובר ל shared.
5	כן	מאחר והייתה כתיבה ל block (עקב hit), מצבו הופך ל exclusive, ויש להודיע על ה bus לכל הזכרונות האחרים המחזיקים באותו block (במדה וישנם כאלה) שעלים להפוך ל invalid.
6	כן	מאחר וה block במצב shared, פירוש הדבר שזהו miss רגיל. יש להודיע write miss על ה bus ולהביא את ה block המבוקש מהזיכרון. מאחר ומדובר בכתיבה, מצבו נקבע ל exclusive.
7	כן	מאחר ומצב ה block הינו exclusive, פירוש הדבר שזהו miss רגיל כמו ב uniprocessor. צריך להודיע write miss על ה bus, לבצע writeback לזיכרון הראשי (במדה וה block מוחלף) ולהביא את הבלוק מהזיכרון הראשי, ולבצע replacement רגיל. מצב ה block עובר ל shared.
8	לא	זהו read hit רגיל. הבקשה נענית מה block המקומי משום שהוא במצב exclusive. מצבו נשאר exclusive.
9	לא	זהו write hit רגיל. הכתיבה נעשית ל block המקומי משום שהוא במצב exclusive. מצבו נשאר exclusive.
10	כן	מאחר וה block במצב exclusive והתרחש write miss, יש להביא את ה block מהזיכרון. יש כמובן לבצע לפניכן writeback לזיכרון הראשי (במדה וה block מוחלף). מצב ה block נקבע ל exclusive.

2. (13 נקודות) נתונה מכונת מצבים הנענית לבקשות של bus, בנתונים של סעיף 1. רשום בטבלה שלהלן לכל אחד מהמעברים כן/לא האם נדרשות פעולות הקשורות לזכרון הן **למעבד הנוכחי** והן **לזכרון הראשי**. במדה וכן, פרט במקום המתאים בטבלה מהי בדיוק הפעולה הנדרשת. במדה ולא, נמק במקום המתאים בטבלה מדוע.



בטבלה השתמשנו במושג cache ו block במשמעות דומה.

	Mem operation required?	Detailed operation
1	לא	זו פעולת coherence. ה block היה במצב shared. עקב write hit ב block אחר, מצב הבלוק הנוכחי הופך ל invalid.
2	לא	זו פעולת coherence. ל block הנוכחי נכתב ב cache אחר עובדה ששודרה על ה bus בהודעת ה write miss. מצבו על כן הופך ל invalid.
3	כן	זו פעולת coherence. על ה bus מופיע write miss שקרה ב cache אחר עבור ה block הנוכחי (במקום האחר ה block היה invalid). ה cache הנוכחי מספק את ה miss ע"י writeback והפניה לזיכרון הראשי שהופיעה על ה bus מבוטלת. מאחר והכתיבה נעשתה ב cache אחר, ה cache הנוכחי הופך ל invalid.
4	לא	על ה bus מופיע read miss שקרה ב cache אחר ל block שאיננו הנוכחי. ה miss טופל במקום האחר וזה לא נוגע ל block הנוכחי, כך שלא נדרשת שום פעולת זכרון וגם לא שינוי מצב.
5	כן	זו פעולת coherence. על ה bus מופיע read miss שקרה ב cache אחר עבור ה block הנוכחי (במקום האחר ה block היה invalid). ה cache הנוכחי מספק את ה miss ע"י writeback (כל ה caches האחרים מסונכרנים) והפניה לזיכרון הראשי שהופיע על ה bus מבוטלת. מצב כל ה caches הופך ל shared.

3. (4 נקודות) נתון מעבד בעל ארבע ליבות, ולכל ליבה זכרון מטמון משלה עם bus משותף. זכרון המטמון הינו 4KByte מסוג direct map, גודל בלוק 16 בתים. המערכת שומרת על קוהרנטיות הזכרון ע"י שימוש בפרוטוקול שבסעיפים א' וב' בזמן מסויים מעבדים P1 ו P2 מכילים את הבלוק

שכתובתו 0xAB7121C0 ואילו המעבדים P3 ו P4 מכילים את הבלוק שכתובתו 0xAC5121C0. מצב מכוונות המצבים ככתוב בטבלה שלהלן כאשר לכל הכניסות אינדקס משותף. השלימו את ערכי ה tag בטבלה והסבירו את תשובתכם.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
shared	0xAB712	shared	0xAB712	shared	0xAC512	shared	0xAC512

הסבר: 16 בתים בבלוק דורשים 4 סיביות כתובת. לזיכרון 4KByte זה מותר 256 בלוקים, כלומר שמונה סיביות לאינדקס. זה מותר $20 = (8+4) - 32$ סיביות ל tag.

לפניכם סדרה של פניות לזיכרון. יש לפרט את המתרחש במערכת.

4. (8 נקודות) בהמשך פנה מעבד P3 וביקש לכתוב את המילה בכתובת 0xAB7121C4. מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
invalid	0xAB712	invalid	0xAB712	exclusive	0xAB712	shared	0xAC512

הסבר: הבלוק הנדרש כתוצאה מהמלה בכתובת 0xAB7121C4 איננו ב P3, אבל פנייה על ה bus מוצאת אותה ב P1 ו P2. מאחר והבלוק שהיה ב P3 איננו "מלוכלך", לא נדרש write-back. הבלוק שהיה ב P3 מועף ואת מקומו תופס הבלוק שכתובתו 0xAB7121C0 וה tag מעודכן בהתאם. מאחר ו P3 ליכלך אותו, מצבו עובר ל exclusive, ואילו העותקים ב P1 ו P2 הופכים ל invalid.

5. (7 נקודות) בהמשך פנה מעבד P2 וביקש לכתוב את המילה ב כתובת 0xAB7121C8. מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
invalid	0xAB712	exclusive	0xAB712	invalid	0xAB712	shared	0xAC512

הסבר: כתובת 0xAB7121C8 אמנם נמצאת ב P2 אבל הבלוק invalid. הבלוק המעודכן נמצא ב P3, שחייב כעת לבצע write-back ל bus בלבד (שימו לב שאין צורך לעדכן את הזכרון הראשי, מדוע?) ועובר למצב invalid. P2 מקבל את הבלוק המעודכן על ה bus, כותב לתוכו והופך לבעל הבית, ולכן מצבו עובר ל exclusive.

--

6. (5 נקודות) בהמשך פנה מעבד P1 וביקש לקרוא את המילה ב כתובת 0xAB7121F0. מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
invalid	0xAB712	exclusive	0xAB712	invalid	0xAB712	shared	0xAC512

הסבר: מאומה לא יקרה! מדובר בכלל באינדקס אחר.

7. (5 נקודות) בהמשך פנה מעבד P2 וביקש לכתוב את המילה ב כתובת 0xCC7121C8 מלא את הטבלה בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
invalid	0xAB712	exclusive	0xCC712	invalid	0xAB712	shared	0xAC512

הסבר: יש מצב של write miss ונדרש לפנות מקום ב cache למידע החדש, ולכן מתבצע back של המידע לזיכרון הראשי כיוון שזה המידע המעודכן שלא נמצא במקום אחר. נשים לב שהמצב של הזיכרונות נשאר זהה כיוון שמידע החדש מופיע עדיין רק ב P2.

8. (5 נקודות) בהמשך פנה מעבד P4 וביקש לקרוא את המילה ב כתובת 0xCC7121C8 מלא את הטבלה בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

P1 cache		P2 cache		P3 cache		P4 cache	
state	tag	state	tag	state	tag	state	tag
invalid	0xAB712	shared	0xCC712	invalid	0xAB712	shared	0xCC712

הסבר: עכשיו המידע של הכתובת 0xCC7121C8 מופיע בשני מקומות ולכן לא ניתן לעשות בו שינוי ללא הודעה ל bus על כך ולכן מעבירים גם את P2 למצב של קריאה בלבד shared.