|  |  |  |
| --- | --- | --- |
| **BAR-ILAN UNIVERSITY**  Engineering Faculty |  | אוניברסיטת בר-אילן הפקולטה להנדסה |

**מבנה מחשבים ספרתיים 83-301**

# תשע"ו סמסטר ב' מועד א'

|  |  |  |  |
| --- | --- | --- | --- |
| שם הקורס | מבנה מחשבים ספרתיים | | |
| מספר הקורס | 83-301 | | |
| שם המרצה | פרופ' שמואל וימר + מר עמית קזימירסקי | | |
|  | תשע"ו | סמסטר ב' | מועד א' |
| משך הבחינה | שעתיים וחצי | | |
| חומר עזר | כל חומר אסור בשימוש.  **יש לצרף את שאלוני הבחינה למחברת**. | | |
|  | יש לענות על כל השאלות. כל תשובה יש לנמק ולהסביר הייטב. כל תשובה מספרית מחייבת את הצגת דרך החישוב.  יש לרשום תשובות בתוך הטבלאות המצורפות במקום שנדרש.  סה"כ הנקודות האפשריות 110. ציון הבחינה לא יעלה על 100.  **יש לכתוב בעט בלבד. כתיבה בעפרון לא תיבדק**. | | |

**בהצלחה!**

**שאלה א' (50 נקודות)**

נתונה התכנית שלהלן

loop:

LW R4, 0(R3)

ADDI R5, R4, 0

SLR R5, R5, 1

SLL R5, R5, 1

ADDI R3, R3, 4

SUBI R1, R1, 1

b1:

BEQ R4, R5, b2

ADDI R2, R2, 1

b2:

BNEZ R1, loop

הערה:

SLL- Shift Left Logical

SLR- Shift Right Logical

פקודות ה- shift אינן ציקליות

נתונים ערכי ההתחלה הבאים: *(*  *מצביע לראש מערך של מספרים שלמים).*

1. (5 נקודות) מה בדיוק מבצעת התכנית הנ"ל? מהו ערכו של בעת היציאה מהלולאה?

**תשובה**: התוכנית מקבלת מערך P וסופרת כמה מבין האיברים הראשונים בו כמה אי זוגיים. בסיום התוכנית R2 מכיל את כמות האיברים האי הזוגיים.

1. (7 נקודות) נניח שהקלט לתכנית הינו ו מצביע על מערך של המספרים הטבעיים. *ברשותנו מעבד* MIPS *בעל היסטורית קפיצות של סיבית אחת (הסיבית מאותחלת ל-0). הניחו ש* ו אינם מתנגשים בטבלת היסטורית הקפיצות.

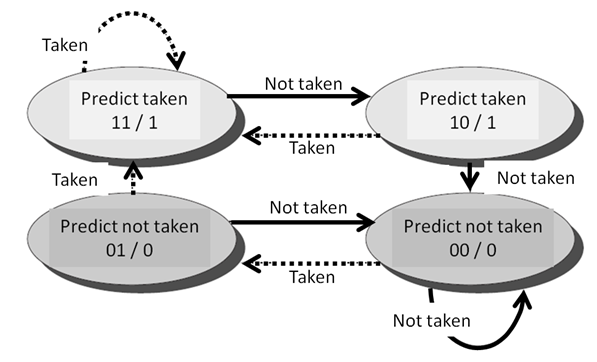
**יש למלא את טבלה א' המצורפת במלואה**. העמודה PC שבטבלה מציינת את הפקודה בה נמצא ה PC. העמודות ו מציינות את מצב הסיבית המתאימה, N מציין NOT TAKEN, ואילו T מציין TAKEN. **מהו מספר חיזויי הקפיצה השגויים**?

**תשובה**: (ראו טבלה) מספר החיזויים השגויים : 10

**טבלה א'**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Branch behavior** | | **Predictor** | | **System state** | |
| **Actual** | **Predicted** | **b2 bit** | **b1 bit** | **R3/R4** | **PC** |
| **T** | **N** | 0 | 0 | 4/0 | b1 |
| **T** | **N** | 0 | ***1*** | 4/0 | b2 |
| **N** | **T** | ***1*** | 1 | 8/1 | b1 |
| T | T | 1 | ***0*** | 8/1 | b2 |
| **T** | **N** | ***1*** | 0 | 12/2 | b1 |
| T | T | 1 | ***1*** | 12/2 | b2 |
| **N** | **T** | ***1*** | 1 | 16/3 | b1 |
| T | T | 1 | ***0*** | 16/3 | b2 |
| **T** | **N** | ***1*** | 0 | 20/4 | b1 |
| T | T | 1 | ***1*** | 20/4 | b2 |
| **N** | **T** | ***1*** | 1 | 24/5 | b1 |
| T | T | 1 | ***0*** | 24/5 | b2 |
| **T** | **N** | ***1*** | 0 | 28/6 | b1 |
| T | T | 1 | ***1*** | 28/6 | b2 |
| **N** | **T** | ***1*** | 1 | 32/7 | b1 |
| **N** | **T** | 1 | ***0*** | 32/7 | b2 |
|  |  |  |  |  | b1 |
|  |  |  |  |  | b2 |

1. (12 נקודות) *אילנה, בוגרת נמרצת של בר-אילן נתקבלה לעבודה בחברת מעבדים, והציעה להכניס את מנגנון החיזוי הבא:*



**יש למלא את טבלה ב' המצורפת במלואה**. העמודה PC שבטבלה מציינת את הפקודה בה נמצא ה PC. העמודות ו מציינות את מצב מכונות המצבים המתאימות, N מציין NOT TAKEN, ואילו T מציין TAKEN. מצב מכונת המצבים בעת קבלת הניחוש מצויין במודגש, ואילו המצב הבא מצויין באלכסון. **מהו מספר חיזויי הקפיצה השגויים**? **האם, ואם כן בכמה שיפרה אילנה את חיזוי הקפיצות**?

**תשובה**: (ראו טבלה) מספר החיזויים השגויים : 7

**טבלה ב'**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Branch behavior** | | **Predictor** | | **System state** | |
| **Actual** | **Predicted** | **b2 bits** | **b1 bits** | **R3/R4** | **PC** |
| **T** | **N** | 00 | 00 | 4/0 | b1 |
| **T** | **N** | 00 | ***01*** | 4/0 | b2 |
| N | N | ***01*** | 01 | 8/1 | b1 |
| **T** | **N** | 01 | ***00*** | 8/1 | b2 |
| **T** | **N** | ***11*** | 00 | 12/2 | b1 |
| T | T | 11 | ***01*** | 12/2 | b2 |
| N | N | ***11*** | 01 | 16/3 | b1 |
| T | T | 11 | ***00*** | 16/3 | b2 |
| **T** | **N** | ***11*** | 00 | 20/4 | b1 |
| T | T | 11 | ***01*** | 20/4 | b2 |
| N | N | ***11*** | 01 | 24/5 | b1 |
| T | T | 11 | ***00*** | 24/5 | b2 |
| **T** | **N** | ***11*** | 00 | 28/6 | b1 |
| T | T | 11 | ***01*** | 28/6 | b2 |
| N | N | ***11*** | 01 | 32/7 | b1 |
| **N** | **T** | 11 | ***00*** | 32/7 | b2 |
|  |  |  |  |  | b1 |
|  |  |  |  |  | b2 |

1. (15 נקודות) אביבה, עובדת ותיקה בחברה, בוגרת אוניברסיטת תל-אביב, החליטה להוסיף לטבלת חיזוי הקפיצות סיבית של היסטוריה כאשר הסיבית 0 פירושו שלא קרתה קפיצה ו 1 כאשר קרתה קפיצה. **יש למלא את טבלה ג' המצורפת במלואה**. **מהו מספר חיזויי הקפיצה השגויים**? **האם, ואם כן בכמה שיפרה אביבה את חיזוי הקפיצות**?

**תשובה**: (ראה טבלה) מספר חיזויים שגויים: 6

**טבלה ג'**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Branch behavior** | | **Predictor** | | | | **System state** | | |
| **Actual** | **Predicted** | **b2 bits** | | **b1 bits** | | **R3/R4** | **History bit** | **PC** |
| **T** | **N** | 00 | 00 | 00 | 00 | 4/0 | 0 | b1 |
| **T** | **N** | 00 | 00 | 00 | ***01*** | 4/0 | 0 | b2 |
| N | N | 00 | ***01*** | 00 | 01 | 8/1 | 1 | b1 |
| **T** | **N** | 00 | 01 | ***00*** | 01 | 8/1 | 1 | b2 |
| **T** | **N** | ***01*** | 01 | 00 | 01 | 12/2 | 0 | b1 |
| **T** | **N** | 01 | 01 | 00 | ***11*** | 12/2 | 1 | b2 |
| N | N | ***11*** | 01 | 00 | 11 | 16/3 | 1 | b1 |
| T | T | 11 | 01 | ***00*** | 11 | 16/3 | 1 | b2 |
| T | T | 11 | 01 | 00 | 11 | 20/4 | 0 | b1 |
| T | T | 11 | 01 | 00 | 11 | 20/4 | 1 | b2 |
| N | N | 11 | 01 | 00 | 11 | 24/5 | 1 | b1 |
| T | T | 11 | 01 | 00 | 11 | 24/5 | 1 | b2 |
| T | T | 11 | 01 | 00 | 11 | 28/6 | 0 | b1 |
| T | T | 11 | 01 | 00 | 11 | 28/6 | 1 | b2 |
| N | N | 11 | 01 | 00 | 11 | 32/7 | 1 | b1 |
| **N** | **T** | 11 | 01 | 00 | 11 | 32/7 | 1 | b2 |
|  |  |  |  |  |  |  | 1 | b1 |
|  |  |  |  |  |  |  | 0 | b2 |

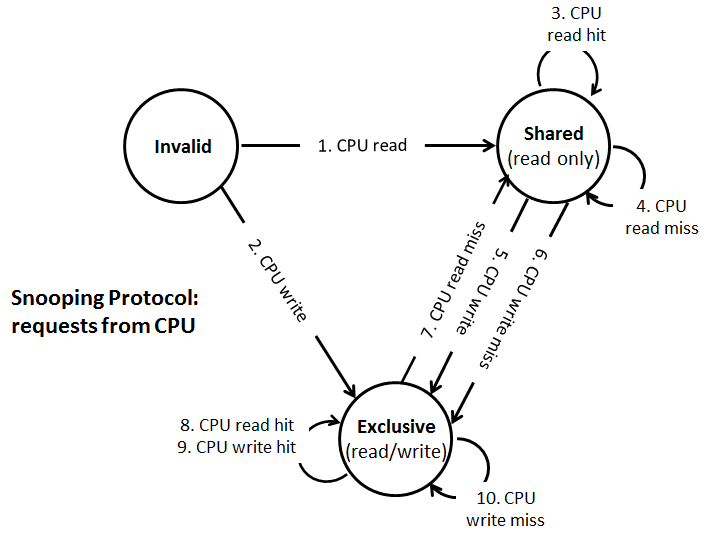
1. (10 נקודות) השוו בין חיזוי הקפיצות בסעיפים ב' ו ג' ו ד' לעיל.

* באיזה שלב של התכנית (התחלה, אמצע, סוף) קורות מירב השגיאות בחיזוי הקפיצה, ומדוע ? (תשובה ללא הסבר ונימוק לא תתקבל)
* האם הוספת סיבית נוספת של היסטורית קפיצות תשנה את המצב עבור תכנית זאת והנתונים הללו ? (תשובה ללא הסבר ונימוק לא תתקבל)

**שאלה ב' (60 נקודות)**

נתון מעבד בעל ארבע ליבות בארכיטקטורת 32 סיביות ו shared memory. לכל ליבה זכרון מטמון משלה עם bus משותף. פרוטוקול הקוהרנטיות של הזכרונות הינו snooping protocol,write invalidate. וזכרונות המטמון פועלים בשיטת write back כפי שנלמד בכתה.

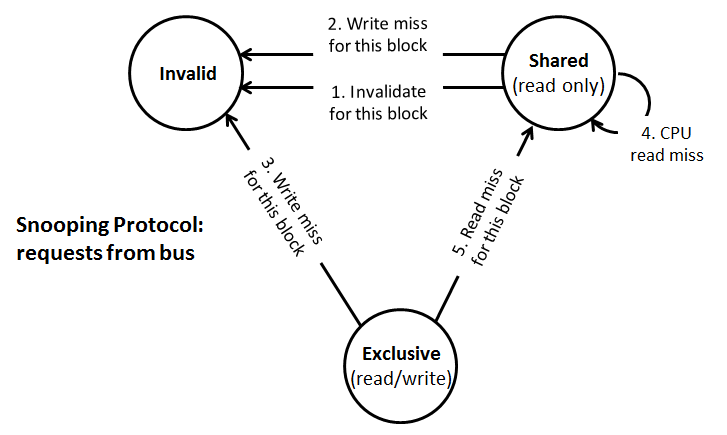
1. (13 נקודות) נתונה מכונת מצבים הנענית לבקשות של המעבד. רשום בטבלה שלהלן לכל אחד מהמעברים בכן/לא האם נדרשת פעולה על ה bus. במדה וכן, פרט במקום המתאים בטבלה מהי בדיוק הפעולה הנדרשת. במדה ולא, נמק במקום המתאים בטבלה מדוע.



בטבלה השתמשנו במושג cache ו block במשמעות דומה.

|  |  |  |
| --- | --- | --- |
| Detailed operation | Bus required? |  |
| 1. במדה וה block נמצא, מאחר והמצב הנוכחי invalid, קריאת נתונים איננה יכולה להיענות מהcache המקומי. 2. יתכן גם והבלוק איננו נמצא.  יש להודיע read miss על ה bus. זה גורר פעולתcache רגילה של החלפת הבלוק. 1. הבאתו מה cache שנמצא במצב exclusive, או 2. הבאתו מהזיכרון הראשי. בכל מקרה מצבו של ה block משתנה ל shared. | כן | 1 |
| 1. במדה וה block נמצא, מאחר והמצב הנוכחי invalid, כתיבת נתונים איננה יכולה להיעשות ב cache המקומי. 2. יתכן גם והבלוק איננו נמצא.  יש להודיע write miss על ה bus. זה גורר פעולתcache רגילה של החלפת הבלוק. 1. הבאתו מה cache שנמצא במצב exclusive, או 2. הבאתו מהזיכרון הראשי. בכל מקרה מצבו של ה block משתנה ל exclusive. | כן | 2 |
| קרא מהזיכרון המקומי. מצב הזכרון נשאר shared. | לא | 3 |
| מאחר ומצב הblock הינו shared, פירוש הדבר שזהו miss רגיל כמו ב uniprocessor. צריך להודיע read miss על ה bus, להביא את הבלוק מהזיכרון הראשי, ולבצע replacement רגיל. מצב ה block עובר ל shared. | כן | 4 |
| מאחר והייתה כתיבה ל block (עקב hit), מצבו הופך ל exclusive, ויש להודיע על ה bus לכל הזכרונות האחרים המחזיקים באותו block (במדה וישנם כאלה) שעלים להפוך ל invalid. | כן | 5 |
| מאחר וה block במצב shared, פירוש הדבר שזהו miss רגיל. יש להודיע miss write על ה bus ולהביא את ה block המבוקש מהזיכרון. מאחר ומדובר בכתיבה, מצבו נקבע ל exclusive. | כן | 6 |
| מאחר ומצב הblock הינו exclusive, פירוש הדבר שזהו miss רגיל כמו ב uniprocessor. צריך להודיע write miss על ה bus, לבצע writeback לזיכרון הראשי (במדה וה block מוחלף) ולהביא את הבלוק מהזיכרון הראשי, ולבצע replacement רגיל. מצב ה block עובר ל shared. | כן | 7 |
| זהו read hit רגיל. הבקשה נענית מה block המקומי משום שהוא במצב exclusive. מצבו נשאר exclusive. | לא | 8 |
| זהו write hit רגיל. הכתיבה נעשית ל block המקומי משום שהוא במצב exclusive. מצבו נשאר exclusive. | לא | 9 |
| מאחר וה block במצב exclusive והתרחש write miss, יש להביא את הblock מהזיכרון. יש כמובן לבצע לפניכן writeback לזיכרון הראשי (במדה וה block מוחלף). מצב ה block נקבע exclusive. | כן | 10 |

1. (13 נקודות) נתונה מכונת מצבים הנענית לבקשות של הbus, בנתונים של סעיף 1. רשום בטבלה שלהלן לכל אחד מהמעברים בכן/לא האם נדרשות פעולות הקשורות לזכרון הן **למעבד הנוכחי** והן **לזכרון הראשי**. במדה וכן, פרט במקום המתאים בטבלה מהי בדיוק הפעולה הנדרשת. במדה ולא, נמק במקום המתאים בטבלה מדוע.



בטבלה השתמשנו במושג cache ו block במשמעות דומה.

|  |  |  |
| --- | --- | --- |
| Detailed operation | Mem operation required? |  |
| זו פעולת coherence. ה block היה במצב shared. עקב write hit ב block אחר, מצב הבלוק הנוכחי הופך ל invalid. | לא | 1 |
| זו פעולת coherence. לblock הנוכחי נכתב ב cache אחר עובדה ששודרה על ה bus בהודעת ה write miss. מצבו על כן הופך ל invalid. | לא | 2 |
| זו פעולת coherence. על הbus מופיע write miss שקרה ב cache אחר עבור ה block הנוכחי (במקום האחר ה block היה invalid). ה cache הנוכחי מספק את ה miss ע"י **writeback** והפניה לזיכרון הראשי שהופיעה על ה bus מבוטלת. מאחר והכתיבה נעשתה בcache אחר, ה cache הנוכחי הופך ל invalid. | כן | 3 |
| על ה bus מופיע read miss שקרה ב cache אחר ל block שאיננו הנוכחי. ה miss טופל במקום האחר וזה לא נוגע ל block הנוכחי, כך שלא נדרשת שום פעולת זכרון וגם לא שינוי מצב. | לא | 4 |
| זו פעולת coherence. על הbus מופיע read miss שקרה ב cache אחר עבור ה block הנוכחי (במקום האחר ה block היה invalid). ה cache הנוכחי מספק את ה miss ע"י **writeback** (כל ה caches האחרים מסונכרנים) והפניה לזיכרון הראשי שהופיע על ה bus מבוטלת. מצב כל ה caches הופך ל shared. | כן | 5 |

1. (4 נקודות) נתון מעבד בעל ארבע ליבות, ולכל ליבה זכרון מטמון משלה עם bus משותף. זכרון המטמון הינו 4KByte מסוג direct map, גודל בלוק 16 בתים. המערכת שומרת על קוהרנטיות הזכרון ע"י שימוש בפרוטוקול שבסעיפים א' וב' בזמן מסויים מעבדים P1 ו P2 מכילים את הבלוק שכתובתו0xAB7121C0 ואילו המעבדים P3 ו P4 מכילים את הבלוק שכתובתו 0xAC5121C0. מצב מכונות המצבים ככתוב בטבלה שלהלן כאשר לכל הכניסות אינדקס משותף. השלימו את ערכי ה tag בטבלה **והסבירו את תשובתכם**.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xAC512 | shared | 0xAC512 | shared | 0xAB712 | shared | 0xAB712 | shared |
| **הסבר:** 16 בתים בבלוק דורשים 4 סיביות כתובת. לזיכרון 4KByte זה מותיר 256 בלוקים, כלומר שמונה סיביות לאינדקס. זה מותיר 2032-(8+4)= סיביות ל tag. | | | | | | | |

לפניכם סדרה של פניות לזיכרון. יש לפרט את המתרחש במערכת.

1. (8 נקודות) בהמשך פנה מעבד P3 וביקש לכתוב את המילה בכתובת0xAB7121C4 . מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xAC512 | shared | 0xAB712 | exclusive | 0xAB712 | invalid | 0xAB712 | invalid |
| **הסבר:** הבלוק הנדרש כתוצאה מהמלה בכתובת0xAB7121C4 איננו ב P3, אבל פנייה על ה bus מוצאת אותה ב P1 ו P2. מאחר והבלוק שהיה ב P3 איננו "מלוכלך", לא נדרש write-back. הבלוק שהיה ב P3 מועף ואת מקומו תופס הבלוק שכתובתו 0xAB7121C0 וה tag מעודכן בהתאם. מאחר ו P3 ליכלך אותו, מצבו עובר ל exclusive, ואילו העותקים ב P1 ו P2 הופכים ל invalid. | | | | | | | |

1. (7 נקודות) בהמשך פנה מעבד P2 וביקש לכתוב את המילה ב כתובת 0xAB7121C8. מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xAC512 | shared | 0xAB712 | invalid | 0xAB712 | exclusive | 0xAB712 | invalid |
| **הסבר:** כתובת 0xAB7121C8 אמנם נמצאת ב P2 אבל הבלוק invalid. הבלוק המעודכן נמצא ב P3, שחייב כעת לבצע write-back ל bus בלבד (שימו לב שאין צורך לעדכן את הזכרון הראשי, מדוע?) ועובר למצב invalid. P2 מקבל את הבלוק המעודכן על ה bus, כותב לתוכו והופך לבעל הבית, ולכן מצבו עובר ל exclusive. | | | | | | | |

1. (5 נקודות) בהמשך פנה מעבד P1 וביקש לקרא את המילה ב כתובת 0xAB7121F0 . מלאו את הטבלה המתארת את מצב הזכרונות בסיום כל פעולות הזכרון הנדרשות בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xAC512 | shared | 0xAB712 | invalid | 0xAB712 | exclusive | 0xAB712 | invalid |
| **הסבר:** מאומה לא יקרה! מדובר בכלל באינדקס אחר. | | | | | | | |

1. (5 נקודות) בהמשך פנה מעבד P2 וביקש לכתוב את המילה ב כתובת 0xCC7121C8 מלא את הטבלה בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xAC512 | shared | 0xAB712 | invalid | 0xCC712 | exclusive | 0xAB712 | invalid |
| **הסבר**: יש מצב של write miss ונדרש לפנות מקום בcache למידע החדש, ולכן מתבצע back של המידע לזיכרון הראשי כיוון שזה המידע המעודכן שלא נמצא במקום אחר. נשים לב שהמצב של הזיכרונות נשאר זהה כיוון שמידע החדש מופיע עדיין רק ב P2. | | | | | | | |

1. (5 נקודות) בהמשך פנה מעבד P4 וביקש לקרוא את המילה ב כתובת 0xCC7121C8 מלא את הטבלה בהתאם ונמקו בשורות שמתחת לטבלה את תשובתכם. ציינו במפורש האם נדרש write-back ואם כן, ע"א איזה מעבד.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| P4 cache | | P3 cache | | P2 cache | | P1 cache | |
| tag | state | tag | state | tag | state | tag | state |
| 0xCC712 | shared | 0xAB712 | invalid | 0xCC712 | shared | 0xAB712 | invalid |
| **הסבר**: עכשיו המידע של הכתובת 0xCC7121C8 מופיע בשני מקומות ולכן לא ניתן לעשות בו שינוי ללא הודעה לbus על כך ולכן מעבירים גם את P2 למצב של קריאה בלבד .shared | | | | | | | |